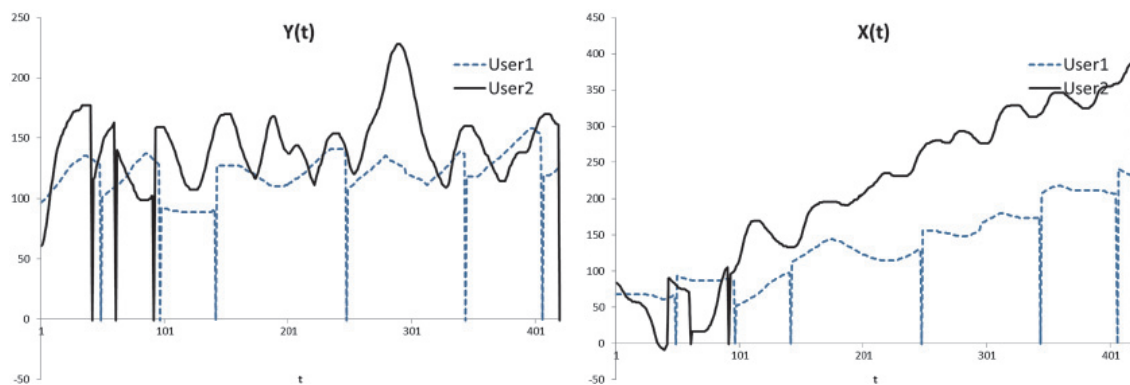


- Анализ следа пера автографа или статической подписи;
- Анализ динамики воспроизведения автором «живой» подписи.

Практически все существующие сегодня коммерческие системы идентификации личности работают с «живыми» подписями и построены в основном на анализе динамики воспроизведения подписи в одной, двух или трех координатах ($X(t)$ – движение пера по оси X , $Y(t)$ – движение пера по оси Y , $Z(t)$ – интенсивность нажатия пера).

В качестве примера биометрического пароля может быть использовано слово «Пенза», соответствующие кривые колебания пера по двум осям $Y(t)$, $X(t)$ которого представлены на рисунке. Кривые получены



Динамические параметры подписи для двух пользователей

При выборе в качестве функционалов коэффициентов ряда Фурье для двух координатной системы анализа почерка выделяемые параметры подписи будут определяться выражениями для дискретного преобразования Фурье (ДПФ):

$$a_k = \sum_{i=0}^M x_i \left(\cos \left(\frac{(2 \cdot \pi \cdot k)}{M} \right) \right), \quad (1)$$

$$b_k = \sum_{i=0}^M y_i \left(-\sin \left(\frac{(2 \cdot \pi \cdot k)}{M} \right) \right), \quad (2)$$

где M – количество точек введенной подписи, т.е. отсчетов дискретного сигнала $Y(t)$ или $X(t)$, поступающего с графического планшета; X_i/Y_i – отсчет дискретного сигнала $X(t)/Y(t)$; k – номер текущего отсчета ДПФ. Так как сигнал, поступающий с графического планшета, низкочастотный, то основная информация о его спектре содержится в первых 10-20 отсчетах, поэтому количество отсчетов, равное 16, считается удовлетворительным; a_k – реальная часть k -го отсчета ДПФ, b_k – мнимая часть k -го отсчета ДПФ. Для каждой подписи вычисляется ДПФ, отдельно для $Y(t)$ или $X(t)$. Результатом вычисления ДПФ N подписей являются $4N$ вектора реальной и мнимой частей ДПФ: $a_{kx}, b_{kx}, a_{ky}, b_{ky}$.

Список литературы

1. Иванов А.И. Биометрическая идентификация личности по динамике подсознательных движений. – Пенза: Изд-во Пенз. гос. ун-та, 2000. – 188 с.
2. Болл Р., Коннел Дж. Руководство по биометрии. – М.: Техносфера, 2007.

по результатам тестирования разработанного программного средства анализа рукописного почерка. Как видно, параметры для двух пользователей различны при написании одного и того же слова. Поэтому данные параметры можно использовать в качестве биометрических параметров при аутентификации пользователей.

Однако в чистом виде эти параметры не могут использоваться по ряду причин. Обычно они подвергаются некоторому преобразованию путем вычисления некоторых линейных функционалов по полной реализации подписи или по ее фрагментам [1]. В качестве вычисляемых линейных функционалов удобно использовать ортогональные функционалы Фурье, Уолша, Хаара.

ВЛИЯНИЕ ХАРАКТЕРИСТИК НОВЕЙШИХ РАЗРАБОТОК ПРОИЗВОДИТЕЛЕЙ ПЛИС НА ВЫБОР КРИСТАЛЛА

Турьгин И.Г., Литвинская О.С.

Пензенская государственная технологическая академия,
Пенза, e-mail: tigseir@ya.ru, los@pgta.ru

В настоящее время одним из активно развивающихся в России направлений разработок является аппаратура для телекоммуникаций. Несмотря на то, что крупнейшие операторы коммуникаций в нашей стране используют, в основном, готовое зарубежное оборудование, открытыми остаются вопросы о сопряжении его с существующими отечественными каналами связи, а также о реализации дополнительных функций, необходимых потребителю. На базе технологии ПЛИС реализуются коммутаторы, системы защиты информации и т.п. Немаловажно, что специальная связь реализуется только на отечественном оборудовании, при разработке которого последние годы широко используется импортная элементная база, в том числе ПЛИС. При этом «пионерами» в применении ПЛИС высокой степени интеграции были разработчики из министерства обороны и спецслужб, в силу своей специфики первыми получившие доступ к элементной базе и системам автоматизированного проектирования [6].

Рассмотрим основные подходы при выборе ПЛИС для реализации проектов. Как известно, при выборе элементной базы руководствуются следующими критериями отбора: быстрдействие; логическая емкость, достаточная для реализации алгоритма; схемотехнические и конструктивные параметры ПЛИС, надежность, рабочий диапазон температур, стойкость к ионизирующим излучениям и т.п.; стоимость владения средствами разработки, включающая как стоимость программного обеспечения, так нали-

чие и стоимость аппаратных средств отладки; стоимость оборудования для программирования ПЛИС или конфигурационных ПЗУ; наличие методической и технической поддержки; наличие и надежность российских поставщиков; стоимость микросхем.

Рассмотрим с этих позиций продукцию ведущих мировых производителей ПЛИС, имеющих российских дилеров.

Фирма Altera Corporation, была основана в июне 1983 года. В настоящее время последним достижением этой фирмы в области ПЛИС с архитектурой FPGA является семейство Stratix V. Кроме того, Altera выпускает ПЛИС с архитектурой CPLD. На текущий момент последней разработкой в этой области является семейство ПЛИС MAX V. Дополнительным фактором при выборе ПЛИС Altera является наличие достаточно развитых бесплатных версий САПР, а именно Quartus II Web Edition Software (Service Packs), который можно бесплатно загрузить с сайта. Кроме того, ПЛИС фирмы Altera выпускаются с возможностью программирования в системе непосредственно на плате. ПЛИС фирмы Altera выпускаются в коммерческом и промышленном диапазоне температур [1].

Компания Xilinx, Inc. была основана в феврале 1984. На текущий момент последней разработкой этой фирмы в области ПЛИС с архитектурой FPGA является седьмая серия семейств Artix, Kintex, Virtex. Седьмая серия семейств Artix, Kintex, Virtex характеризуется широким разнообразием высокоскоростных транзисторных ресурсов, наличием выделенного блочного ОЗУ, развитой логикой ускоренного переноса. ПЛИС данной серии обеспечивают высокие скорости межкристального обмена. Наибольшую производительность обеспечивают ПЛИС семейства Virtex 7. Помимо ПЛИС архитектуры FPGA Xilinx выпускает ПЛИС с архитектурой CPLD. Новейшей разработкой Xilinx в этой области является семейство XC9500XL и CoolRunner-II. Существует бесплатная версия САПР – WebPACK, ввод описания алгорит-

ма с помощью языка описания аппаратуры VHDL. ПЛИС Xilinx выпускаются как в коммерческом и промышленном диапазоне температур, так и с военной (Military) и космической (Space) приемкой [2].

Компания Actel Corporation была основана в 1985 году. Фирма занимается выпуском ПЛИС архитектуры FPGA. Новейшими семействами ПЛИС являются семейства IGLOO (e, nano, PLUS) и ProASIC3 (e, nano, l). ПЛИС всех семейств Actel выпускаются в коммерческом и промышленном диапазоне температур, а также с военной и космической приемкой [3].

Еще одним производителем ПЛИС является компания Lattice Semiconductor. Lattice Semiconductor только в 2002 году начала производство FPGA-микросхем, и на этом рынке она занимает всего порядка нескольких процентов. Однако Lattice Semiconductor является одним из лидеров в области производства CPLD и SPLD (simple PLD – более простые по сравнению с CPLD программируемые устройства) микросхем. Хотя компания Lattice Semiconductor появилась на рынке ПЛИС FPGA относительно недавно, она выпускает довольно большой ассортимент микросхем данного типа. Среди них стоит выделить микросхемы Field Programmable System Chip (FPSC) – первой серии ПЛИС со встроенными ASIC ядрами, которые предназначены для реализации стандартных IP ядер – шинного интерфейса, высокоскоростного интерфейса или высокоскоростного трансивера; а также серию Lattice XP2 и предназначенный для его программирования прикладной пакет ispLEVER [4].

Стоит также отметить отечественного производителя ПЛИС с архитектурой FPGA «Воронежский завод Полупроводниковых Приборов». Фирма закупила лицензию на производство ПЛИС семейства Flex10K (5576XC1T). Логический объем ПЛИС 50 тыс. вентилей [5].

Сравнительная характеристика новейших семейств различных производителей ПЛИС представлена в таблице.

Сравнительная характеристика семейств различных производителей ПЛИС

Семейство	Фирма	Архитектура	Эквивалентных вентилей (тыс.)	Макроячеек	Регистров (тыс.)	Кол-во глобальных цепей тактирования	Число программируемых пользователем выводов	Общий объем памяти КМ (Мбит)	Общий объем памяти FLASH (Кбайт)	Тактовая частота (МГц)	Кол-во DSP блоков
Stratix V GT	Altera	FPGA	425-622		641.6-938.88	16	600	45-50		717	256
Stratix V GX	Altera	FPGA	340-952		513.2-1436.8	16	360-840	19-52		717	256-399
Stratix V GS	Altera	FPGA	236-695		356-1049.6	16	360-840	13-50		717	600-1963
Stratix V E	Altera	FPGA	840-952		1268-1436.8	16	696-840	52		717	352
MAX V	Altera	CPLD	0.04-2.21	32-1700		4	54-271		8	152-304	
Artix 7	Xilinx	FPGA	8-360				200-600	0.7-18.1			20-1040
Kintex 7	Xilinx	FPGA	65.6-477.76				300-500	0.7-32			240-1920
Virtex 7	Xilinx	FPGA	284-1955				300-1200	16.5-66.1			840-3600
XC9500XL	Xilinx	CPLD		36-288	0.036-0.288	3	36-192			178-208	
CoolRunner II	Xilinx	CPLD		32-512		3	33-270			179-323	
IGLOO /e	Actel	FPGA	15-3000	128-2048		6-1	49-620	0.02-0.49	1		
IGLOO nano	Actel	FPGA	10-250	86-2048		6-18	34-77	0.02-0.04	1		
IGLOO PLUS	Actel	FPGA	30-125	256-1024		6-18	120-212	0.02-0.04	1		
ProASIC /e	Actel	FPGA	15-3000	128-2048		6-18	49-620	0.02-0.49	1		
ProASIC nano	Actel	FPGA	10-250	86-2048		4-18	34-77	0.02-0.04	1		
ProASICL	Actel	FPGA	250-3000	157-620		18	157-620	0.03-0.49	1		
5576XC	ВЗПП	FPGA	50		3.184	6	182-189	20		100	

Одной из основных проблем для разработчиков является оптимальный выбор из предлагаемых вариантов ПЛИС. Крупные фирмы-изготовители такие, как Xilinx, Altera, предоставляют возможность online выбора кристалла по требуемым параметрам посредством экспертной системы, размещенной на официальном сайте фирмы. Недостатком является то, что при выборе не учитывается стоимость кристалла и возможные трудности его заказа в стране разработчика.

Еще одним распространенным способом выбора ПЛИС является использование возможности САПР выполнять автоматический выбор кристалла, необходимого для реализации проекта. При таком способе выбора критериями являются только логический объем кристалла и количество программируемых пользователем выводов, остальные же факторы не учитываются.

Также существует такая тенденция выбора, при которой разработчик выбирает последнюю в серии ПЛИС в рамках предпочитаемого им семейства. Данный выбор не является оптимальным, т.е. маловероятно, что разработчик будет использовать все возможности кристалла.

На текущий момент самым оптимальным методом выбора является комбинированный метод. Сначала производится выбор наиболее подходящей фирмы-производителя ПЛИС (по наличию и надежности российских поставщиков, цене программного обеспечения, предпочтению разработчика). Затем производится выбор семейства ПЛИС (по параметрам быстродействия и логического объема, особенностям и дополнительным возможностям семейства). После чего выполняется разработка схемы проекта в выбранном программном обеспечении. С помощью функций автоматического определения необходимой микросхемы, в САПР производится построение списка допустимых ПЛИС в рамках выбранного семейства. Далее разработчик выбирает необходимый ему кристалл из списка, основываясь на собственном предпочтении.

Из обзора способов выбора можно сделать вывод, что на текущий момент времени не существует оптимального, математически обоснованного метода выбора ПЛИС. При оптимальном выборе необходимо учитывать такие параметры, как логический объем, быстродействие, рабочий диапазон температур, количество программируемых пользователем выводов, наличие мегафункций, стоимость оборудования программирования ПЛИС, наличие и надежность российских поставщиков, цена ПЛИС. Метод должен учитывать также возможность масштабирования проекта. В дальнейшем планируется разработать математически обоснованный метод выбора ПЛИС, учитывающий основные критерии отбора разработчиков.

Список литературы

1. Официальный сайт фирмы «Altera Corporation». – URL: www.altera.com.
2. Официальный сайт фирмы «Xilinx, Inc». – URL: www.xilinx.com.
3. Официальный сайт фирмы «Actel Corporation». – URL: www.actel.com.
4. Официальный сайт фирмы «Lattice Semiconductor». – URL: www.latticesemi.com.
5. Официальный сайт фирмы «ВЗПП». – URL: www.vzpp-s.ru.
6. Стешко В.Б. Современные алгоритмы ЦОС: пути реализации и перспективы применения. – URL: www.sm.bmstu.ru/sm5/n4/oba/zan1.html.

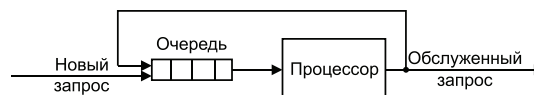
ЦИКЛИЧЕСКОЕ ПЛАНИРОВАНИЕ РАБОТ В СИСТЕМАХ ОПЕРАТИВНОЙ ОБРАБОТКИ ИНФОРМАЦИИ

Шорин Д.Ю., Резуев С.В.

Пензенская государственная технологическая академия,
Пенза, e-mail: los@pgta.ru

Одним из самых старых, простых и наиболее используемых способов планирования работ считается алгоритм циклического планирования. Каждому про-

цессу предоставляется промежуток времени работы процессора – квант времени, если к концу кванта процесс всё ещё работает, то этот процесс прерывается и процессор обрабатывает уже другой, следующий процесс. Если процесс прекращает работу раньше срока истечения кванта, то происходит передача управления. Планировщик только поддерживает список процессов. Исчерпавшие лимит, обработанные процессы помещаются в конец списка процессов. Важный вопрос – длина кванта – при малой длине кванта высоки потери на переключение, при большой – заторможенность реакции на быстрые запросы. Пример циклического планирования представлен на рисунке.



Планирование по циклическому принципу

Циклическое обслуживание эффективно для работы с разделением времени, когда система должна гарантировать приемлемые времена ответа для всех интерактивных пользователей. Временные затраты на диспетчеризацию здесь удастся снизить за счет эффективных механизмов контекстного переключения и благодаря предоставлению достаточного объема основной памяти, чтобы процессы могли размещаться в ней одновременно.

Интерес в циклическом планировании представляет продолжительность кванта времени процессора. Переключение с одного процесса на другой требует определенного количества времени для выполнения задач администрирования – сохранения, загрузки регистров, карт памяти, обновления различных таблиц и списков, сброса на диск и перезагрузки кэша памяти и т.д. Предположим, что переключение процесса, или переключение контекста, как это иногда называют, занимает 1 мс. Также предположим, что значение кванта времени установлено на 4 мс.

При таких параметрах настройки после 4 мс полезной работы центральному процессору придется затратить (то есть потерять) 1 мс на переключение процесса. Таким образом, 20% процессорного времени будет выброшено на административные издержки, а это, вне всякого сомнения, слишком много.

Определение размера кванта времени имеет критическое значение для эффективной работы вычислительной системы.

Прежде всего, рассмотрим поведение системы в случаях, когда квант времени становится либо очень большим, либо очень маленьким. Если квант времени становится очень большим, то каждому процессу предоставляется практически столько времени, сколько ему требуется для завершения, так что циклическое планирование, по сути, вырождается в планирование по принципу FIFO. Если квант времени становится очень маленьким, то временные затраты на контекстные переключения начинают играть доминирующую роль, причем характеристики системы, в конце концов, настолько ухудшаются, что с какого-то момента основное время затрачивается на переключение процессора, так что лишь незначительная часть времени остается, если вообще остается, на выполнение вычислений для пользователей.

Предположим, что система работает и обслуживает много интерактивных пользователей. Когда мы только начинаем изменять время полезной работы, значения кванта времени близко к нулю – временные затраты на переключения занимают основную часть